

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-126489

(43)Date of publication of application : 11.05.1999

(51)Int.Cl.

G11C 16/02

(21)Application number : 09-288651

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 21.10.1997

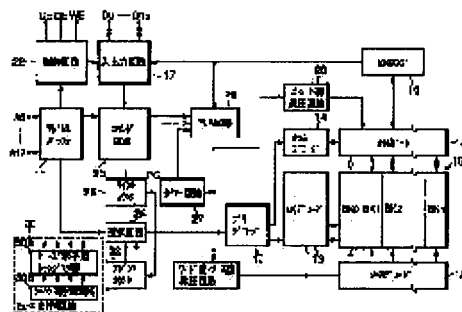
(72)Inventor : MIYAGAWA TADASHI
OTSUKA NOBUAKI
TOMITA NAOTO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the voltage for reading memory data from being impressed continuously on the drain of a cell transistor for fuse element, to prevent electric characteristics from being changed with time, and to control memory data so as not to be changed as compared with the starting time of use when an EEPROM cell is used as a fuse element for storing function control data.

SOLUTION: Flash EEPROM is provided with a MOS transistor group 30a which have a double gate structure laminated with a floating gate and a control gate that are used as a fuse element for storing function controlling data and a sequence control circuit 30b which pre-charges the drain of a MOS transistor for fuse element on receiving a specified control signal, reads out data from the MOS transistor for fuse element after pre-charge finishes and is controlled so that the read data is



latched.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-126489

(43) 公開日 平成11年(1999) 5月11日

(51) Int.Cl.⁸

G 1 1 C 16/02

識別記号

F I

G 1 1 C 17/00

6 0 1 P

6 1 3

審査請求 未請求 請求項の数9 O L (全 14 頁)

(21) 出願番号 特願平9-288651

(22) 出願日 平成9年(1997)10月21日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 宮川 正

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 大塚 伸朗

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 富田 直人

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

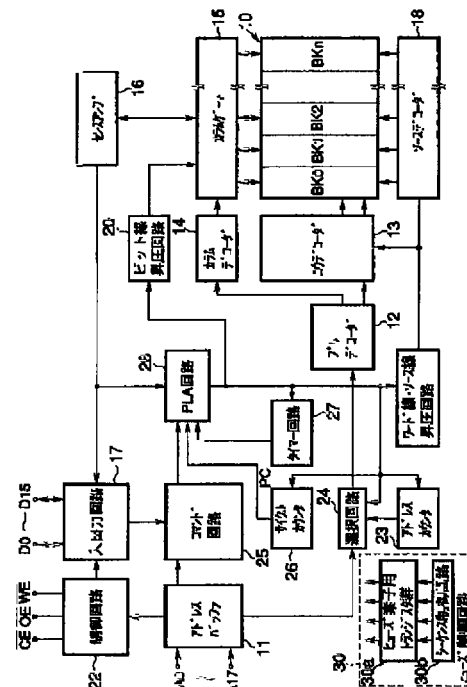
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】機能制御データ記憶用のヒューズ素子としてE EPROMセルを使用する際に、記憶データを読み出すための電圧がヒューズ素子用セルトランジスタのドレインに印加され続けることを防止し、その電気的特性の経時変化を防止し、使用開始の初期と比べて記憶データが変化しないように制御する。

【解決手段】フラッシュE EPROMにおいて、機能制御データ記憶用のヒューズ素子として使用される浮遊ゲートおよび制御ゲートが積層された二層ゲート構造を有するMOSTランジスタ群30aと、所定の制御信号を受けてヒューズ素子用のMOSTランジスタのドレインをプリチャージし、プリチャージの終了後にヒューズ素子用のMOSTランジスタからデータを読み出し、次いで、読み出したデータをラッチするように制御するシーケンス制御回路30bとを具備する。



【特許請求の範囲】

【請求項1】 機能制御データ記憶用のヒューズ素子として使用される浮遊ゲートおよび制御ゲートが積層された二層ゲート構造を有するMOSトランジスタと、所定の制御信号を受けて前記ヒューズ素子用のMOSトランジスタのドレインをプリチャージし、前記プリチャージの終了後に前記MOSトランジスタからデータを読み出し、次いで、前記読み出したデータをラッチするように制御するシーケンス制御回路とを具備することを特徴とする半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置において、前記シーケンス制御回路は、前記ヒューズ素子用のMOSトランジスタのドレインを所定のタイミングで所定時間プリチャージするプリチャージ回路と、前記MOSトランジスタの記憶データを所定のタイミングで読み出す読み出し回路と、前記読み出し回路により読み出されたデータをラッチするラッチ回路と、前記プリチャージ回路を駆動するためのプリチャージ信号、前記読み出し回路を駆動するための読み出し制御信号、前記ラッチ回路を駆動するためのラッチ信号を順次生成するヒューズ制御回路とを具備することを特徴とする半導体記憶装置。

【請求項3】 請求項2記載の半導体記憶装置において、前記ヒューズ素子用のMOSトランジスタおよびこれに対応する前記プリチャージ回路、読み出し回路、ラッチ回路、ヒューズ制御回路はそれぞれ複数存在し、外部信号のロジックに応じて前記複数のヒューズ制御回路を選択制御するためのヒューズ選択信号を生成するヒューズ選択回路と、前記複数のヒューズ制御回路に共通に1個設けられており、前記所定の制御信号を受けて動作してラッチトリガ信号を出力し、前記複数のヒューズ制御回路に共通に供給するヒューズラッチトリガ回路とを具備し、前記ヒューズ選択信号により選択されたヒューズ制御回路は前記ラッチトリガ信号を受けて前記プリチャージ信号、読み出し制御信号、ラッチ信号を生成することを特徴とする半導体記憶装置。

【請求項4】 請求項3記載の半導体記憶装置において、さらに、電源投入時にパワーオンリセット信号を生成するパワーオンリセット回路と、前記複数のヒューズ素子用のMOSトランジスタのうちでデータの書き替えが行われた一部のMOSトランジスタに対してベリファイ読み出しを行うためのベリファイ回路とを具備し、前記パワーオンリセット信号およびベリファイ終了信号を前記ヒューズラッチトリガ回路に制御信号として入力するこ

とを特徴とする半導体記憶装置。

【請求項5】 請求項4記載の半導体記憶装置において、前記ヒューズ選択回路は、電源投入時には前記複数のヒューズ制御回路の全てを選択し、前記一部のヒューズ素子用のMOSトランジスタのデータの書き替え後は前記複数のヒューズ制御回路のうちの対応する一部を選択制御するためのヒューズ選択信号を生成することを特徴とする半導体記憶装置。

【請求項6】 請求項3乃至5のいずれか1項に記載の半導体記憶装置において、前記ヒューズラッチトリガ回路は、前記パワーオンリセット回路から入力するパワーオンリセット信号の立ち下がりトリガとして前記ラッチトリガ信号を発生し、少なくとも前記ラッチトリガ信号の期間は前記パワーオンリセット信号入力を受け付けずに制御する入力制御回路を有することを特徴とする半導体記憶装置。

【請求項7】 請求項3乃至5のいずれか1項に記載の半導体記憶装置において、前記ヒューズラッチトリガ回路は、前記パワーオンリセット回路から入力するパワーオンリセット信号の立ち下がりトリガとして一定幅のパルス信号を発生し、前記パルス信号の期間は前記パワーオンリセット信号入力を受け付けずに制御するパルス発生回路を有することを特徴とする半導体記憶装置。

【請求項8】 請求項1乃至7のいずれか1項に記載の半導体記憶装置において、前記シーケンス制御回路は、前記ヒューズ素子用のMOSトランジスタに対する書き込み時にそのドレインに書き込み電圧ノードから書き込み電流を供給する書き込み回路をさらに具備することを特徴とする半導体記憶装置。

【請求項9】 請求項1乃至8のいずれか1項に記載の半導体記憶装置において、前記ヒューズ素子用のMOSトランジスタは、そのデータが読み出されてラッチされた後に、そのドレインが電位的に浮遊状態に制御されることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係り、特に電氣的消去・再書き込み可能な不揮発性半導体メモリセル（EEPROMセル）を例えば機能制御データの記憶素子として用いたヒューズ回路から記憶データを読み出す制御回路に関するものであり、例えばフラッシュEEPROMのような一括消去型の半導体メモリに使用される。

【0002】

【従来の技術】EEPROMは、電源を切っても不揮発性セルのデータが消えない等の利点があり、近年大幅に需要が増大している。特に、1トランジスタでメモリセ

ルが構成された一括消去可能なフラッシュ型のEEPROM（フラッシュメモリ）は、大容量の磁気ディスクの代替等の用途が期待されている。

【0003】従来のフラッシュメモリにおいて、セルアレイで使用されているメモリセルは、ゲート絶縁膜中に電荷蓄積層として形成された浮遊ゲート電極および制御ゲート電極が積層された二層ゲート構造を有するNMOS型の電界効果トランジスタ（セルトランジスタ）からなる。

【0004】このようなフラッシュメモリにおいて、例えば冗長機能、トリミング機能、データ書き換え防止（ライトプロテクト）などを制御するための冗長機能制御データ、トリミング機能制御データ、データ書き換え防止（ライトプロテクト）制御データなどの記憶素子（ヒューズ素子）として、前記セルトランジスタと同一工程で同様の構造に形成されたROMセルを用いる場合がある。

【0005】なお、前記冗長機能制御データは、最近の大容量化しているフラッシュメモリにおいて、正規メモリセルアレイの不良セルを救済して製造歩留りを向上させるために採用されている冗長回路の置換アドレス（正規のメモリセルアレイの不良アドレス）を表わすデータである。

【0006】また、前記トリミング機能制御データは、単一電源を使用するフラッシュメモリにおいて、書込み電圧、消去電圧などの基準となる基準電圧値を生成するために採用されているトリミング回路を調整するためのデータである。

【0007】また、前記ライトプロテクト制御データは、メモリセルアレイをブロックに分割した構成を採用するフラッシュメモリにおいて、指定したブロックのデータ書き換えを禁止制御するためのデータである。

【0008】

【発明が解決しようとする課題】しかし、前記したように従来の半導体記憶装置において機能制御データ記憶用のヒューズ素子として使用されるROMセルは、記憶データを読み出すための電圧がヒューズ素子用ROMセルのドレインに印加され続けると、その電気的特性の経時変化（浮遊ゲートの電荷量の変化）を引き起こし、使用開始の初期と比べて記憶データが変化するという問題があった。

【0009】本発明は上記の事情に鑑みてなされたものであり、機能制御データ記憶用のヒューズ素子としてEEPROMセルを使用する際に、記憶データを読み出すための電圧がヒューズ素子用ROMセルのドレインに印加され続けることを防止し、その電気的特性の経時変化（浮遊ゲートの電荷量の変化）を防止し、使用開始の初期と比べて記憶データが変化しない制御することができ、性能、信頼性を向上し得る半導体記憶装置を提供することを目的とするものである。

【0010】

【課題を解決するための手段】第1の発明の半導体記憶装置は、機能制御データ記憶用のヒューズ素子として使用される浮遊ゲートおよび制御ゲートが積層された二層ゲート構造を有するMOSトランジスタと、所定の制御信号を受けて前記ヒューズ素子用のMOSトランジスタのドレインをプリチャージし、前記プリチャージの終了後に前記MOSトランジスタからデータを読み出し、次いで、前記読み出したデータをラッチするように制御するシーケンス制御回路とを具備することを特徴とする。

【0011】第2の発明の半導体記憶装置は、第1の発明の半導体記憶装置において、前記シーケンス制御回路は、前記ヒューズ素子用のMOSトランジスタのドレインを所定のタイミングで所定時間プリチャージするプリチャージ回路と、前記MOSトランジスタの記憶データを所定のタイミングで読み出す読み出し回路と、前記読み出し回路により読み出されたデータをラッチするラッチ回路と、前記プリチャージ回路を駆動するためのプリチャージ信号、前記読み出し回路を駆動するための読み出し制御信号、前記ラッチ回路を駆動するためのラッチ信号を生成するヒューズ制御回路とを具備することを特徴とする。

【0012】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の第1の実施の形態に係るNOR型フラッシュEEPROMの全体構成を概略的に示すブロック回路図である。

【0013】本実施例のフラッシュEEPROMは、外部電源から供給される読み出し動作の電圧を昇圧して書込み・消去用の電圧を生成する昇圧回路を内蔵した単一電源方式のものである。

【0014】そして、データ書込みの対象となるセルアレイ領域のメモリセルを指定して自動的に書込む自動書込み機能、データ消去の対象となるセルアレイ領域の複数のブロックをブロック単位としてブロック毎にシリアルに指定して自動的に消去させる自動消去機能を有する。

【0015】また、セルアレイの例えば不良行を予備行に置換して救済するようにした不良セル救済機能を有する。図1において、メモリセルアレイ10は、それぞれ浮遊ゲートと制御ゲートを有するNチャネルのMOSFETからなるメモリセル（セルトランジスタ）が、例えばNOR型セルを構成し、全体として行列状に配列されており、ロウ方向にn個のブロックBK0～BK nに分割されている。

【0016】11はアドレス入力端子を介して例えば18ビットのアドレス信号A0～A17が外部から入力するアドレスバッファである。12は前記アドレスバッファ11からのアドレス信号（内部アドレス信号）をデコードするためのプリデコーダである。

【0017】13は前記プリデコーダ12からのロウアドレス信号をデコードしてメモリセルアレイ10のロウ選択を行うためのロウデコーダであり、デコード出力に応じてワード線に所定の電圧を供給するワード線ドライバを有する。

【0018】14は前記プリデコーダ12からのカラムアドレス信号をデコードするカラムデコーダである。15は前記カラムデコーダ14のデコード出力により制御され、前記メモリセルアレイ10のカラム選択を行うためのカラムゲートであり、ビット線に所定の電圧を供給するビット線ドライバを有する。

【0019】16は前記カラムゲート15に接続されたセンスアンプであり、メモリセルからの読み出し情報をセンス増幅して出力する。17は上記センスアンプ16に接続された入出力回路（I/Oバッファ）であり、入出力端子との間で例えば16ビットの入出力データD0～D15が入出力する。18は各ブロックBK0～BK_nのソース線選択を行うためのソースデコーダであり、デコード出力に応じてソース線に所定の電圧を供給するソース線ドライバを有する。

【0020】20は書込み動作に必要な高電圧を前記カラムゲート15のビット線ドライバを介してビット線に供給するためのビット線昇圧回路である。21は書込み動作や消去動作に必要な高電圧を前記ワード線およびソース線に印加するために前記ロウデコーダ13のワード線ドライバおよびソースデコーダ18のソース線ドライバに供給するためのワード線・ソース線昇圧回路である。

【0021】22はEEPROM内部の各部の動作を制御するための制御回路であり、チップイネーブ（/CE）入力端子、アウトプットイネーブ（/OE）入力端子、ライトイネーブ（/WE）入力端子に接続されている。

【0022】23はアドレス発生用のアドレスカウンタであり、自動書込みあるいは自動消去に際して、対象となるブロックおよびメモリセルのアドレスを指定するためのアドレスを生成する。

【0023】24は選択回路であり、通常動作時には前記アドレスバッファ11からのアドレス信号を選択して前記プリデコーダ12に供給し、自動書込み時あるいは自動消去時には、前記アドレスカウンタ23から出力するアドレス信号を選択して前記プリデコーダ12に供給するものである。

【0024】25は前記アドレスバッファ11からのアドレス信号および入出力回路17を経た入力信号の組み合わせによるコマンド信号を解釈して各種の制御信号を出力するコマンド回路である。

【0025】26はメモリセルアレイ10に対する書込みあるいは消去の回数をカウントするために設けられたサイクルカウンタである。27はタイマー回路である。

28は前記自動書込み機能、自動消去機能および不良セル救済機能を実現するためのシーケンス動作を制御するように構成されたPLA（プログラマブル・ロジック・アレイ）である。

【0026】上記PLA28は、前記コマンド回路25、サイクルカウンタ26、タイマー回路27の各出力および前記センスアンプ16からの信号が与えられ、PLAコード信号を出力して前記ビット線昇圧回路20、ワード線・ソース線昇圧回路21、選択回路24、アドレスカウンタ23、サイクルカウンタ26およびタイマー回路27に供給する。

【0027】なお、EEPROMの製造段階における検査工程で発見された不良セルを救済して製造歩留りを向上させるために冗長回路が設けられている。この冗長回路は、図示しないが、数行分の冗長用メモリセル（予備メモリセル、リダンダンシーセル）、予備ロウデコーダおよび置換制御回路などを有する。

【0028】前記予備ロウデコーダには、前記メモリセルアレイ10中に数行以下の不良行が存在した場合にこれらの不良行のアドレスを不揮発的に記憶しておくための不良アドレス記憶回路（図示せず）が数個設けられている。

【0029】前記冗長回路の置換制御回路は、書込み特性または消去特性が劣化したメモリセルに代えて冗長用のメモリセルを選択する状態に設定する（特性が劣化したセルを冗長用のセルに置換する）ように制御する機能を備えていてもよい。

【0030】30は本発明の特徴部分に係るヒューズデータ制御回路である。このヒューズデータ制御回路30は、後で図5乃至図10を参照しながら詳細に説明するが、機能制御データ記憶用のヒューズ素子として使用され、セルトランジスタと同一工程で同様の構造に形成された浮遊ゲートおよび制御ゲートが積層された二層ゲート構造を有するMOSTランジスタ群30aと、所定の制御信号を受けて前記ヒューズ素子用のMOSTランジスタのドレインをプリチャージし、前記プリチャージの終了後に前記MOSTランジスタからデータを読み出し、次いで、前記読み出したデータをラッチするように制御するシーケンス制御回路30bとを具備する。

【0031】図2は、図1中のヒューズデータ制御回路30を示すブロック図である。図2において、31i（i=1～4）はそれぞれ機能制御データを記憶するためのヒューズ素子（二層ゲート構造を有するMOSTランジスタ）を有するヒューズ回路である。

【0032】ここで、リダンダンシー用のヒューズ回路311は、冗長回路の置換アドレス（正規のメモリセルアレイの不良アドレス）を表わす冗長機能制御データを記憶している。トリミング用のヒューズ回路312は、書込み電圧、消去電圧などの基準となる基準電圧値を生成するために採用されているトリミング回路を調整する

ためのトリミング機能制御データを記憶している。プロテクト用のヒューズ回路313は、指定したブロックのデータ書き換えを禁止制御するためのライトプロテクトデータを記憶している。テスト禁止用のヒューズ回路314は、ユーザーによるメモリテストを禁止指定するためのテスト禁止データを記憶している。

【0033】ヒューズ制御回路32i (i=1~4)は、後述するヒューズ選択回路33から供給されるヒューズ選択信号RDFS、TRIMFS、PROTFS、TESTFSにより対応して駆動制御され、後述するヒューズラッチトリガ回路36から供給されるプリチャージ信号PCHG、リードトリガ信号RSTARTおよび読み出し制御信号READを受けると、対応する各ヒューズ回路31i (i=1~4)のデータ読み出し・ラッチ動作に必要な制御信号としてプリチャージ信号PCHGi (i=1~4)、バイアス電圧BIASi (i=1~4)、読み出し制御用の制御ゲート駆動信号FWLi (i=1~4)、ラッチ信号LATi (i=1~4)を出力する。

【0034】ヒューズ選択回路33は、外部信号(本例では、X8、X9、X10)および内部信号PROTを受け、外部信号のロジック(組み合わせ)に応じて、ヒューズラッチトリガ回路36を制御するための制御信号FSELB、前記ヒューズ制御回路321~324を対応して制御するためのヒューズ選択信号RDFS、TRIMFS、PROTFS、TESTFSを生成する。

【0035】この場合、電源投入時には全てのヒューズ制御回路32iを選択し、一部のヒューズ回路のデータ書き換え後には対応する一部のヒューズ制御回路を選択するようにヒューズ選択信号を生成する。

【0036】これにより、電源投入時に選択される全てのヒューズ制御回路32iは対応する各ヒューズ回路31iの読み出しデータのラッチ動作を制御し、データ書き換え後に選択される一部のヒューズ制御回路に対応する一部のヒューズ回路の読み出しデータのラッチ動作を制御する動作が可能になっている。

【0037】パワーオンリセット回路34は、電源投入時にパワーオンリセット信号PONを生成するものである。ペリファイ回路35は、電源投入時に一部のヒューズデータを書き換えた後、ヒューズデータを再ラッチするための制御信号FLSTを出力するものである。

【0038】ヒューズラッチトリガ回路36は、前記ヒューズ制御回路32iに共通に1個設けられており、前記ヒューズ選択回路33から供給される制御信号FSELBに応じて前記パワーオンリセット回路34の出力信号PONあるいはペリファイ回路35の出力信号FLSTを受けて動作し、前記ヒューズ制御回路32iにプリチャージ信号PCHG、リードトリガ信号RSTARTおよび読み出し制御信号READを供給するものである。

【0039】図3は、図2の回路の電源投入時におけるヒューズ回路31iのヒューズデータ(Fuse“0”、Fu

se“1”)の読み出し、ラッチ制御動作の一例に係る主要信号のタイミング波形を示す。この動作時には、ペリファイ回路35の出力信号FLSTは“L”レベルのまま固定である。

【0040】電源投入時にパワーオンリセット回路34からパワーオンリセット信号PONが発生すると、ヒューズラッチトリガ回路36は、パワーオンリセット信号PONの後縁(立ち下がり)を受けて一定時間“H”レベルになるプリチャージ信号PCHGをヒューズ制御回路32iに出力する。

【0041】さらに、ヒューズラッチトリガ回路36は、前記プリチャージ信号PCHGの後縁(立ち下がり)を受けて“H”レベルになるリードトリガ信号RSTARTおよび読み出し制御信号READをヒューズ制御回路32iに出力する。

【0042】選択された全てのヒューズ制御回路32iでは、ヒューズラッチトリガ回路36からの信号を受けて前記ヒューズ回路31iの動作制御用のプリチャージ信号PCHGi、バイアス電圧BIASi、読み出し制御用の制御ゲート駆動信号FWLi、ラッチ信号LATiを出力し、対応するヒューズ回路31iに供給する。

【0043】各ヒューズ回路31iは、プリチャージ信号PCHGi入力が“L”レベルになるとヒューズ素子用MOSTランジスタのドレインをプリチャージし、プリチャージの終了後に制御ゲート駆動信号FWLiが“H”レベルになるとヒューズ素子用MOSTランジスタのデータを読み出し、次いで、ラッチ信号LATiが“H”レベルになると読み出しデータのラッチを行う。

【0044】前記ヒューズ素子用MOSTランジスタの記憶データが“1”の場合(つまり、ヒューズ素子に電流が流れる場合)には前記読み出しデータが“L”レベルになり、前記ヒューズ素子用MOSTランジスタの記憶データが“0”の場合(つまり、ヒューズ素子に電流が流れない場合)には、前記読み出しデータが“H”レベルになる。

【0045】これにより、ヒューズ素子用MOSTランジスタからの記憶データの読み出しは電源投入時にのみ行われ、ヒューズ素子用MOSTランジスタのドレインに対する電圧ストレスの印加期間を短縮してストレスを軽減できるので、その特性の変化による誤ったデータの読み出しを防止することが可能になる。

【0046】図4は、図2の回路の一部のヒューズ回路に対するヒューズデータ(Fuse“0”、Fuse“1”)の書き込み、消去後におけるヒューズデータのペリファイ読み出し、ラッチ制御動作の一例に係る主要信号のタイミング波形を示す。

【0047】このヒューズデータの書き込み、消去後における制御動作は、図3を参照して前述した電源投入時における制御動作と比べて、データ読み出し・ラッチ制御動作を開始する信号として、パワーオンリセット信号PON

Nではなくベリファイ回路の出力信号FLSTが入力する点、さらにヒューズ選択回路33に入力するPROT、X8、X9、X10のロジックにより選択されたヒューズのみがラッチ（再ラッチ）する点が異なり、その他は同じである。この動作時には、パワーオンリセット信号PONは“L”レベルのまま固定である。

【0048】即ち、図3および図4を参照して説明した動作から分かるように、前記ヒューズラッチトリガ回路36、ヒューズ選択回路33、ヒューズ制御回路32iおよびヒューズ回路31iのプリチャージ・読み出し制御・ラッチ回路部は、パワーオンリセット回路34あるいはベリファイ回路35から所定の制御信号PONあるいはFLSTを受け、プリチャージ信号PCHGBiにより前記ヒューズ素子用のMOSトランジスタのドレインをプリチャージし、前記プリチャージの終了後に読み出し制御信号FWLiにより前記MOSトランジスタからデータを読み出し、次いで、前記読み出したデータをラッチ信号LATiによりラッチするように制御するシーケンス制御回路（図1中の30b）を形成している。

【0049】このシーケンス制御回路は、プリチャージ信号PCHGBi、読み出し制御信号FWLiのタイミング、時間幅（駆動時間）を制御するために後述するように遅延回路を具備しており、また、前記プリチャージ信号PCHGBi、読み出し制御信号FWLiが前記パワーオンリセット信号PONの影響を排除するために後述するようにラッチ回路を具備している。

【0050】以下、図2中の各回路31i～36について図5乃至図10を参照して詳細に説明する。図5（a）は、図2中のヒューズ選択回路33の一例を示す回路図である。

【0051】このヒューズ選択回路33は、外部信号（本例では、X8、X9、X10）および内部信号PROTを受け、外部信号のロジック（組み合わせ）に応じて、ヒューズラッチトリガ回路36を制御するための制御信号FSELB、ヒューズ制御回路32iを制御するためのヒューズ選択信号RDFS、TRIMFS、PROTFS、TESTFS、ノーマルモード信号NMLを後述するように生成するように、インバータ回路51群、ノア回路52群、ナンド回路53群により論理構成されている。

【0052】このヒューズ選択回路は、図5（b）に示すように、ノーマルモードでは、ノーマルモード信号NML、ヒューズラッチトリガ制御信号FSELBがそれぞれ“H”レベルになる。

【0053】テストモードでは、ノーマルモード信号NML、ヒューズラッチトリガ制御信号FSELBがそれぞれ“L”レベルになり、リダンダンシー用のヒューズ回路311に対応するヒューズ制御回路321を選択するためのヒューズ選択信号RDFS、トリミング用のヒューズ回路312に対応するヒューズ制御回路322を選択するためのヒューズ選択信号TRIMFS、プロテクト用のヒューズ

回路313に対応するヒューズ制御回路323を選択するためのヒューズ選択信号PROTFS、テスト禁止用のヒューズ回路314に対応するヒューズ制御回路324を選択するためのヒューズ選択信号TESTFSが択一的に“H”レベルになる。

【0054】また、内部信号PROTが“H”レベルの時には、プロテクト用のヒューズ回路313に対応するヒューズ制御回路323を選択するためのヒューズ選択信号PROTFSが“H”レベルになる。

【0055】これにより、ノーマルモードでは、ヒューズラッチトリガ回路36がパワーオンリセット信号PONを受け、全てのヒューズ制御回路32iが選択状態になる。これに対して、テストモードでは、ヒューズ制御回路32iの一部を選択して製品出荷前に製造者側で書き込み、読み出しを行うことが可能である。

【0056】また、ライトプロテクトデータ記憶用のヒューズ回路313は製品の仕様上の機能を規定するものであり、テストモードで選択可能であるだけでなく、内部信号PROTが“H”レベルの時にも選択可能になっている。

【0057】なお、前記外部信号X8、X9、X10および前記内部信号PROTが全て“L”レベルの時には、前記ヒューズ制御回路32iは全て非選択状態になる。図6は、図2中のヒューズラッチトリガ回路36の一例を示す回路図である。

【0058】このヒューズラッチトリガ回路36は、ヒューズ選択回路33からの制御信号FSELB、パワーオンリセット回路34からのパワーオンリセット信号PONまたはベリファイ回路35からのベリファイ終了信号FLSTを受け、プリチャージ信号PCHG、読み出し信号READおよびラッチ終了信号ENDを後述のように出力するように、インバータ回路61群、ノア回路62群、NMOSトランジスタ63群、遅延回路64群により論理構成されている。

【0059】図7（a）は、図2中のヒューズ制御回路32iの一例を示す回路図である。このヒューズ制御回路は、ヒューズ選択回路33からノーマルモード信号NML、ヒューズラッチトリガ回路36からプリチャージ信号PCHGおよび読み出し信号READを受けて、対応するヒューズ回路31iに必要なプリチャージ信号PCHGBi、バイアス電圧BIASi、読み出し制御信号FWLiおよびラッチ信号LATiを後述のように生成するように、インバータ回路71i、ナンド回路72i、遅延回路73i、ノア回路74iなどにより論理構成されている。

【0060】なお、入力ノードAには、図7（b）に示すように、対応するヒューズ制御回路32iに応じて前記ヒューズ選択信号RDFS、TRIMFS、PROTFS、TESTFSが入力される。

【0061】即ち、図7のヒューズ制御回路32iは、前記入力ノードAにヒューズ選択回路33から入力され

るヒューズ選択信号RDFS、TRIMFS、PROTFS、TESTFSのいずれか1つを反転させる第1のインバータ回路711と、ヒューズ選択回路33から入力されるノーマル信号NMLを反転させる第2のインバータ回路712と、前記第1のインバータ回路711の出力および第2のインバータ回路712の出力が入力する第1のナンド回路721と、前記第1のナンド回路721の出力および前記ヒューズラッチトリガ回路36から入力するプリチャージ信号PCHGが入力する第2のナンド回路722と、第2のナンド回路722の出力を反転させる第3のインバータ回路713と、第3のインバータ回路713の出力を反転させてプリチャージ信号PCHGBiを出力する第4のインバータ回路714と、第3のインバータ回路713の出力を遅延させる遅延回路(delay5)731と、前記第1のナンド回路721の出力および前記ヒューズラッチトリガ回路36から入力する読み出し信号READが入力する第3のナンド回路723と、第3のナンド回路723の出力を反転させる第5のインバータ回路715と、前記第3のインバータ回路713の出力、第1の遅延回路731の出力および第5のインバータ回路715の出力が入力する第1のノア回路741と、第5のインバータ回路715の出力を遅延させる遅延回路(delay6)732と、第1のノア回路741の出力を反転させる第6のインバータ回路716と、第6のインバータ回路716の出力を反転させてラッチ信号LATiを出力する第7のインバータ回路717と、第6のインバータ回路716の出力および第2の遅延回路732の出力が入力する第2のノア回路742と、第2のノア回路742の出力に応じてバイアス電圧BIASiを出力するバイアス生成回路75と、第2の遅延回路732の出力を反転させる第8のインバータ回路718と、第8のインバータ回路718の出力をラッチするラッチ回路76と、前記ラッチ回路76の出力を反転して読み出し制御信号FWLiを出力する第9のインバータ回路719とを具備する。

【0062】図7の構成のヒューズ制御回路において、電源投入時にはヒューズ選択回路33から入力されるノーマルモード信号NMLが“H”レベルになり、全てのヒューズ制御回路321～324が対応するヒューズ回路311～314の全てからデータを読み出してラッチする。

【0063】これに対して、一部のヒューズ回路に対する書き替え後には、選択された一部のヒューズ制御回路は、入力ノードAが“H”レベル、ヒューズ選択回路33から入力されるノーマルモード信号NMLが“L”レベルになるので、対応する一部のヒューズ回路のみからデータを読み出してラッチする。

【0064】図8は、図2中の各ヒューズ回路31iの一例を示す回路図である。このヒューズ回路は、機能制御データ記憶用のヒューズ素子として使用された二層ゲート構造を有するMOSトランジスタQfuseと、前記ヒューズ素子用のMOSトランジスタQfuseに対する書込み時にそのドレインに書込み電圧Vpp（昇圧回路の出力電圧、例えば8V）ノードから書込み電流を供給する書込み回路81と、前記MOSトランジスタQfuseのドレインを所定のタイミングで所定時間プリチャージするプリチャージ回路82と、前記MOSトランジスタQfuseの記憶データを所定のタイミングで読み出す読み出し回路83と、前記読み出し回路83により読み出されたデータをラッチするラッチ回路84と、前記ラッチ回路84の出力を反転して読み出しデータとして出力するインバータ回路85とを具備する。

【0065】前記ヒューズ素子用のMOSトランジスタQfuseは、そのソースが接地ノードに接続されており、そのゲートに前記ヒューズ選択回路33から入力する制御ゲート駆動信号FWLiが印加される。

【0066】ここで、記載していないが、MOSトランジスタQfuseのソースを、接地ノードではなく、例えば消去電圧回路に接続し、Fuseデータを消去可能にすることもできる。

【0067】前記書込み回路81は、Vppノードと接地ノードとの間に直列に接続された第1～第3のNMOSトランジスタ811～813からなる。そして、前記第1のNMOSトランジスタ811のゲートには、外部信号（アドレス信号など）をデコードした高電圧信号AIが印加される。また、前記第2のNMOSトランジスタ812のゲートには、書込み時にヒューズ素子用のMOSトランジスタQfuseのドレイン電圧を例えば5Vに設定するためにバイアス用の定電圧（例えば6V）に設定された内部電源電圧FPROGがゲートに印加される。また、前記第3のNMOSトランジスタ813のゲートには、前記ヒューズラッチトリガ回路36からラッチ終了信号ENDが印加される。

【0068】前記プリチャージ回路82は、Vccノード（外部電源）にソースが接続されたプリチャージ用のPMOSトランジスタからなり、そのゲートに前記ヒューズラッチトリガ回路36からプリチャージ信号PCHGBiが印加される。

【0069】前記読み出し回路83は、前記プリチャージ用のPMOSトランジスタ82のドレインと前記ヒューズ素子用のMOSトランジスタQfuseのドレインとの間に接続されたバイアス用のNMOSトランジスタ83を有する。このバイアス用のNMOSトランジスタ83は、データ読み出し時におけるヒューズ素子用のMOSトランジスタQfuseのドレイン電位を1V程度に設定するためのものであり、そのゲートに前記ヒューズラッチトリガ回路36から例えば2Vのバイアス電圧BIASiが印加される。

【0070】前記ラッチ回路84は、前記プリチャージ用のPMOSトランジスタ82のドレインとバイアス用のNMOSトランジスタ83のドレインとの接続ノード

に入力端が接続されており、前記ヒューズラッチトリガ回路 36 から入力するラッチ信号 LATi により駆動される。

【0071】なお、前記制御ゲート駆動信号 FwLi は、一定時間 “H” レベルになった後（ラッチ終了後）には “L” レベルになり、ラッチ終了後には前記ラッチ終了信号 END が一定時間 “H” レベルになる。従って、ヒューズ素子用の MOS トランジスタ Q fuse のドレインは、データが読み出されてラッチされた後は電位的に浮遊状態になる。

【0072】ところで、図 3 を参照して前述した動作は、パワーオンリセット回路 34 の出力信号（パワーオンリセット信号 PON ）が一定幅以上の一発パルスとして発生した場合を説明した。

【0073】しかし、電源投入時の電源電圧 Vcc の立ち上がりは数 μ s ～数 s の時間を要し、電源電圧 Vcc のレベルが LSI 内部の電圧検知回路の検知基準レベルの付近で微妙に揺れると、パワーオンリセット回路 34 が発振するおそれがあり、電源投入時にパワーオンリセット信号 PON が一旦立ち上がってから低下した後にパルス状のノイズが乗るおそれがある。

【0074】図 9 は、図 2 の回路において電源投入時にパワーオンリセット信号 PON が一旦立ち上がってから低下した後にパルス状のノイズが乗った場合のヒューズデータの読み出し、ラッチ制御動作の一例を示すタイミング波形図である。

【0075】この場合、パワーオンリセット信号 PON の立ち下がりを受けてヒューズデータの読み出し・ラッチ制御動作を開始した直後、ラッチ動作が終了する前に前記パルス状のノイズが発生すると、ラッチ制御動作を正常に行うことが不可能になる。

【0076】図 10 は、上記したような電源投入時ににおけるノイズによるヒューズデータのラッチの誤動作を防止するように図 6 のヒューズラッチトリガ回路を改良した例を示す回路図である。

【0077】図 10 のヒューズラッチトリガ回路は、図 6 を参照して前述したヒューズラッチトリガ回路と比べて、パワーオンリセット信号 PON の入力側に入力制御回路 100 が挿入されている点が異なり、その他は同じであるので図 6 中と同一符号を付している。

【0078】入力制御回路 100 は、プリチャージ信号 PCHG を遅延させる遅延回路 101 と、この遅延回路 101 から出力する遅延信号および前記プリチャージ信号 PCHG が入力するノア回路 102 と、このノア回路 102 の出力を反転させるインバータ回路 103 と、読み出し信号 READ を遅延させる遅延回路 104 と、この遅延回路 104 から出力する遅延信号および前記読み出し信号 READ が入力するノア回路 105 と、このノア回路 105 の出力を反転させるインバータ回路 106 と、前記ラッチ終了信号 END 、前記インバータ回路 103 の出力およびイ

ンバータ回路 106 の出力が入力するノア回路 107 と、このノア回路の出力を反転させるインバータ回路 108 と、このインバータ回路 108 の出力によりクロック制御され、パワーオンリセット信号 PON が入力するクロックドインバータ回路 109 と、このクロックドインバータ回路 109 の出力をラッチするように 2 個のインバータ回路の入出力が交差接続されてなるフリップフロップ回路 110 とを有する。

【0079】上記入力制御回路 100 の動作は、パワーオンリセット信号 PON が入力することによってプリチャージ信号 PCHG、読み出し信号 READ、ラッチ終了信号 END のいずれかが “H” レベルになった時に、所定時間だけノア回路 107 の出力が “L”、インバータ回路 108 の出力が “H”、クロックドインバータ回路 109 がディセーブル状態になるので、前記所定時間だけパワーオンリセット信号 PON の入力を受け付けなくなる（入力を切り離す）。

【0080】即ち、図 10 のヒューズラッチトリガ回路においては、図 6 を参照して前述したヒューズラッチトリガ回路のパワーオンリセット信号 PON の入力側に入力制御回路 100 が挿入付加されている。これにより、パワーオンリセット信号 PON が一旦立ち下がる、それをトリガとしてプリチャージ信号 PCHG、読み出し信号 READ、ラッチ終了信号 END がそれぞれ “H” レベルになった時にパワーオンリセット信号 PON の入力を受け付けないように動作する。

【0081】従って、前記プリチャージ信号 PCHG、読み出し信号 READ、ラッチ終了信号 END に基づいてヒューズ制御回路 32 i でデータ読み出し・ラッチ動作の制御を行っている時には、パワーオンリセット信号 PON にノイズが乗った場合でも影響を受けない。

【0082】換言すれば、電源投入時にパワーオンリセット信号 PON が一旦立ち上がってから立ち下がった後は、パワーオンリセット信号 PON がどんな波形になろうとも（パルス状のノイズが乗った場合でも）、ヒューズデータのラッチ動作が終了するまではパワーオンリセット信号 PON の影響を受けずに正常にラッチ動作を行うことが可能になる。

【0083】なお、前記入力制御回路 100 の他の例として、入力信号の立ち上がりあるいは立ち下がりトリガとして一定幅のパルス信号を発生させ、一定時間だけ入力信号の受け付けを禁止するように構成されたパルス発生回路を用いることによって、パワーオンリセット信号 PON にノイズが乗った場合でも影響を受けないようにすることができる。

【0084】図 11 は、入力信号の立ち上がりあるいは立ち下がりトリガとして一定幅のパルス信号を発生させ、一定時間だけ入力信号の受け付けを禁止するパルス発生回路の一例を示す。

【0085】図 11 において、入力信号 IN1 はインバー

タ回路121により反転され、二入力ノア回路122の一方の入力ノードに入力する。このノア回路122の出力は、インバータ回路123および124を経て二入力ノア回路125の一方の入力ノードに入力し、このノア回路125の出力は帰還して前記ノア回路122の他方の入力ノードに入力する。前記インバータ回路の出力123は遅延回路126に入力し、この遅延回路126の出力は前記ノア回路125の他方の入力ノードに入力する。なお、前記インバータ回路124の出力は前記遅延回路126に活性化制御信号として入力する。そして、前記ノア回路125の出力は二段のインバータ回路127、128を経て出力信号OUT1となる。

【0086】図12は、図11のバルス発生回路の動作例1として、入力ノードに1発のバルス信号が入力した場合の主要ノードの電位を示すタイミング波形図である。初期状態では、入力信号IN1が“L”レベル、ノア回路125の出力ノードN19が“L”レベルであり、出力信号OUT1は“L”レベルであるとする。この状態で入力信号IN1が“H”レベルに立ち上がると、遅延回路126の内部ノードN15、N16は対応して“H”レベル、“L”レベルに初期化される。

【0087】次に、入力信号IN1が“L”レベルに立ち下がると、遅延回路126の動作制御用のPMOSTランジスタTP1、NMOSTランジスタTN1がそれぞれオフ状態になり、遅延回路126は活性化される。その時、インバータ回路124の出力ノードN14、遅延回路126の出力ノードN18がそれぞれ“L”レベルになるので、ノア回路125の出力ノードN19は“H”レベルになる。これにより、ノア回路122の出力ノードN12は、入力信号の論理レベルに関係なく“L”レベルに固定される。

【0088】従って、前記遅延回路126の内部ノードN15、N16が対応して“L”レベル、“H”レベルに戻り、遅延回路126の出力ノードN18が“H”レベルになるまでは、ノア回路125の出力ノードN19は“H”レベルに固定されるので、遅延回路126の遅延時間 t_d にわたって出力信号OUT1は“H”レベルになる。

【0089】図13は、図11のバルス発生回路の動作例2として、入力ノードに2発のバルス信号が連続して入力した場合の主要ノードの電位を示すタイミング波形図である。

【0090】図13の波形図から分かるように、1発目のバルス信号が入力することによりノア回路125の出力ノードN19が“H”レベルになった後、ノア回路125の出力ノードN19が“L”レベルに戻る前に2発目のバルス信号が入力されても、この2発目のバルス信号の入力を受け付けない。

【0091】ところで、前記入力信号IN1が電源投入時のパワーオンリセット信号PONである場合には、図11中の第2のノア回路125の出力ノードN19が電源投入

時の初期状態から“L”レベルになっている必要がある。即ち、前記ノア回路125の出力ノードN19の初期状態が“H”レベルであったとすると、このノア回路125の出力ノードN19が“L”レベルに戻る前にパワーオンリセット信号PONが立ち下っていると、図11のバルス発生回路はパルス状の出力信号OUT1を発生することなく動作を終るおそれがある。

【0092】図14は、図11のバルス発生回路の変形例として、入力信号IN2がパワーオンリセット信号である場合に対応した回路構成を示す。図14に示すバルス発生回路は、ノア回路125の出力ノードN19が電源投入時の初期状態から“L”レベルになるように、(1)ノア回路125の出力ノードN19と接地ノードとの間に抵抗素子R1およびキャパシタC3が付加接続されている点、さらに望ましくは、(2)遅延回路126の内部ノードN17と接地ノードとの間に抵抗素子R2、遅延回路126の出力ノードN18とVccノードとの間に抵抗素子R3がそれぞれ付加接続されている点が図11を参照して前述したバルス発生回路と比べて異なる。

【0093】また、図14に示すバルス発生回路は、入力信号IN2にグリッチ状のバルス信号が含まれた場合に、それが出力信号OUT2に伝わることを防止するために、(3)インバータ回路127の回路閾値よりも第1のノア回路122の回路閾値の方が低く設定されている点、(4)インバータ回路128の出力ノードと接地ノードとの間にフィルタ用のキャパシタC4が付加接続されるとともに前記インバータ回路128の出力側に二段のインバータ回路129、130が付加接続されている点が図11を参照して前述したバルス発生回路と比べて異なる。

【0094】

【発明の効果】上述したように本発明の半導体記憶装置によれば、機能制御データ記憶用のヒューズ素子としてEEPROMセルを使用する際に、記憶データを読み出すための電圧がヒューズ素子用ROMセルのドレインに印加され続けることを防止し、その電気的特性の経時変化(浮遊ゲートの電荷量の変化)を防止し、使用開始の初期と比べて記憶データが変化しない制御することができ、性能、信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るフラッシュEEPROMの全体構成を概略的に示すブロック回路図。

【図2】図1中のヒューズデータの読み出し回路を示すブロック図。

【図3】図2の回路の電源投入時におけるヒューズデータの読み出し・ラッチ制御動作の一例に係る主要信号のタイミングを示す波形図。

【図4】図2の回路のヒューズデータの書込み、消去後におけるヒューズデータの読み出し・ラッチ制御動作の一例に係る主要信号のタイミングを示す波形図。

【図5】図2中のヒューズ選択回路の一例を示す回路図。

【図6】図2中のヒューズラッチトリガ回路の一例を示す回路図。

【図7】図2中のヒューズ制御回路の一例を示す回路図。

【図8】図2中のヒューズ回路の一例を示す回路図。

【図9】図2の回路において電源投入時にパワーオンリセット信号PON が一旦立ち上がってから低下した後にはパルス状のノイズが乗った場合のヒューズデータの読み出し・ラッチ制御動作の一例を示すタイミング波形図。

【図10】図6のヒューズラッチトリガ回路を改良した例を示す回路図。

【図11】図10のヒューズラッチトリガ回路中の入力制御回路に代えて使用可能なパルス発生回路の一例を示す回路図。

【図12】図11のパルス発生回路の動作例1を示すタイミング波形図。

【図13】図11のパルス発生回路の動作例2を示すタイミング波形図。

【図14】図11の回路の変形例として入力信号がパワーオンリセット信号である場合に対応したパルス発生回路を示す回路図。

【符号の説明】

30…ヒューズデータ読み出し回路、

30a…ヒューズ素子用セルトランジスタ群、

30b…シーケンス制御回路、

31i…ヒューズ回路、

32i…ヒューズ制御回路、

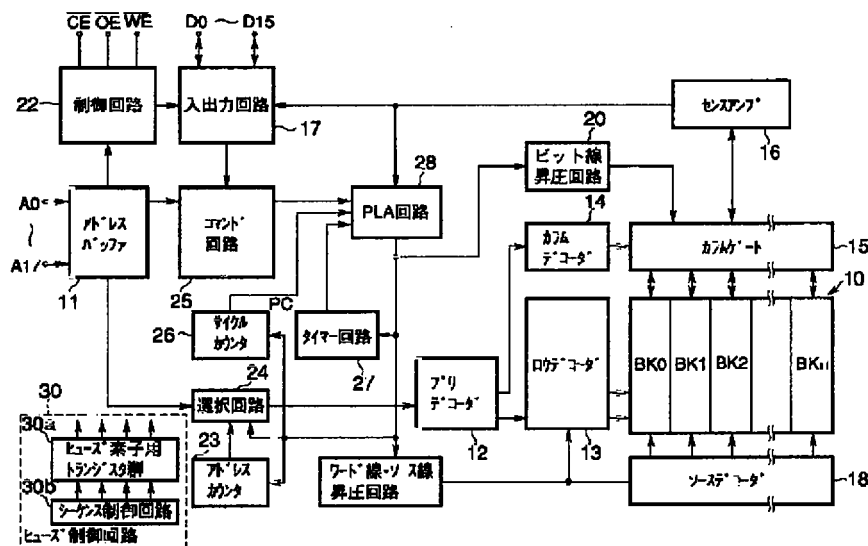
33…ヒューズ選択回路、

34…パワーオンリセット回路、

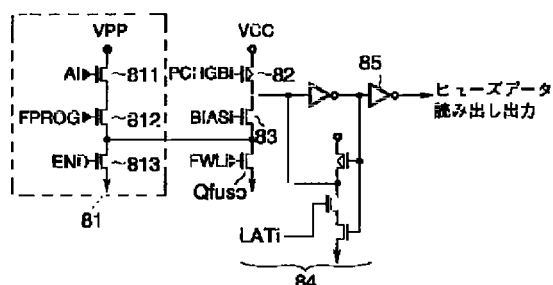
35…ベリファイ回路、

36…ヒューズラッチトリガ回路。

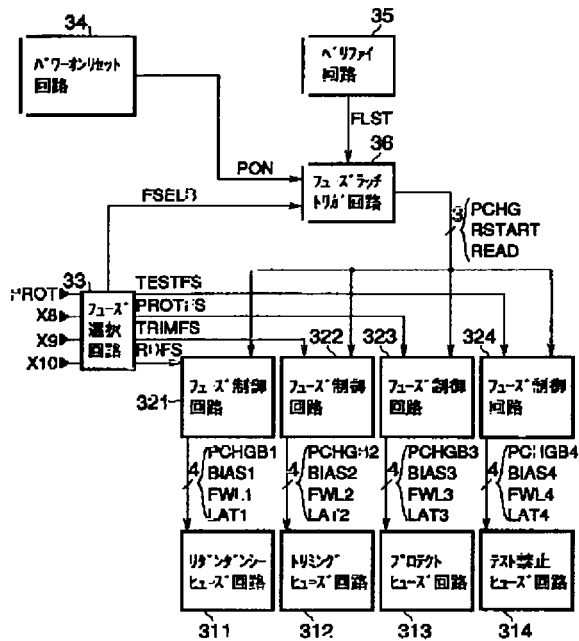
【図1】



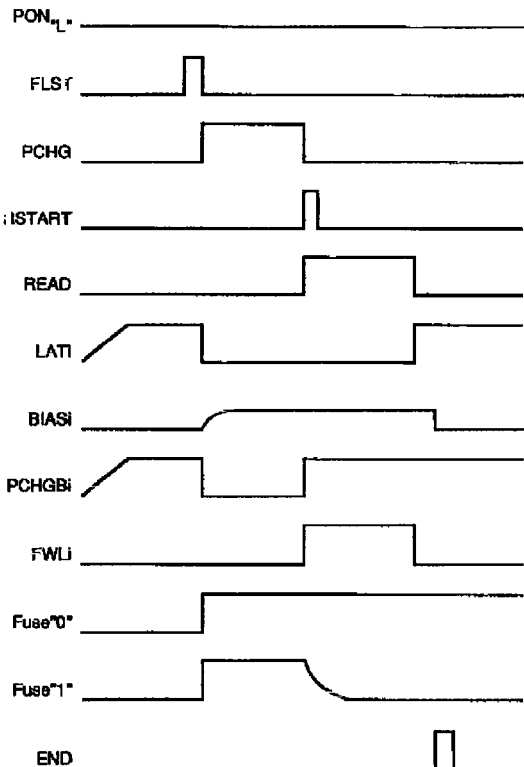
【図8】



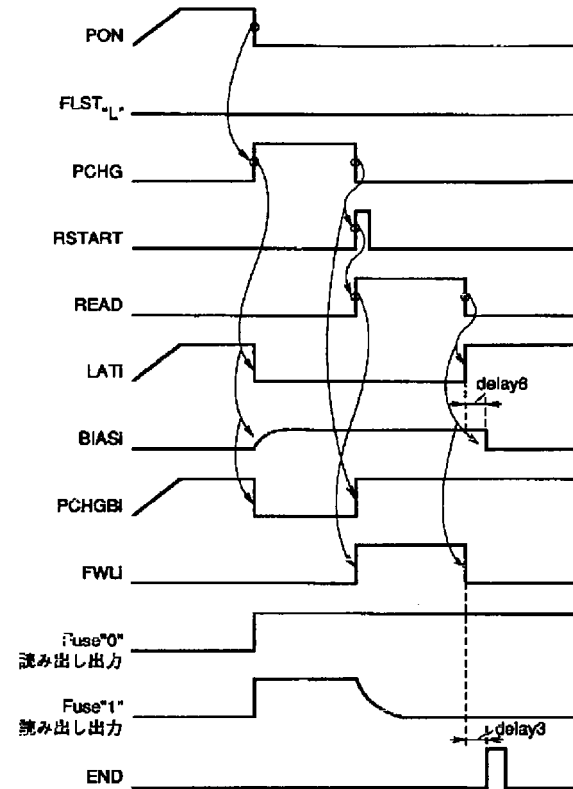
【図2】



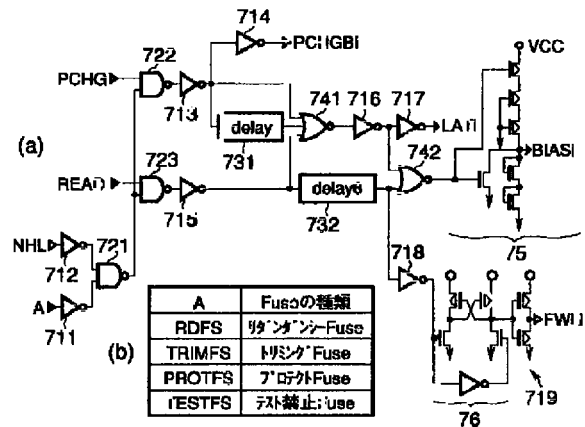
【図4】



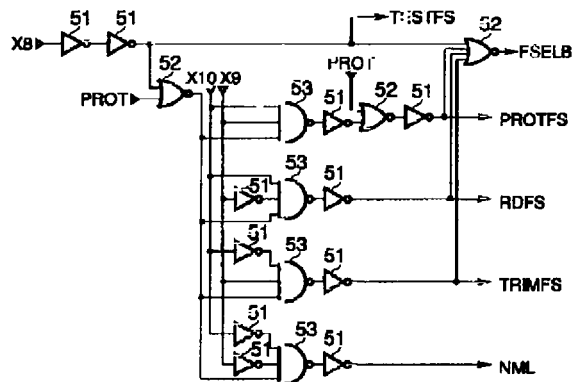
【図3】



【図7】



【図5】

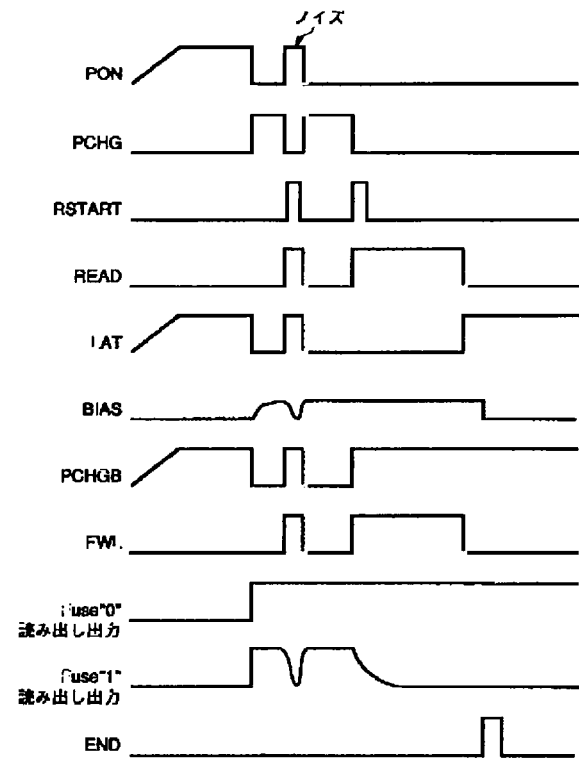


(a)

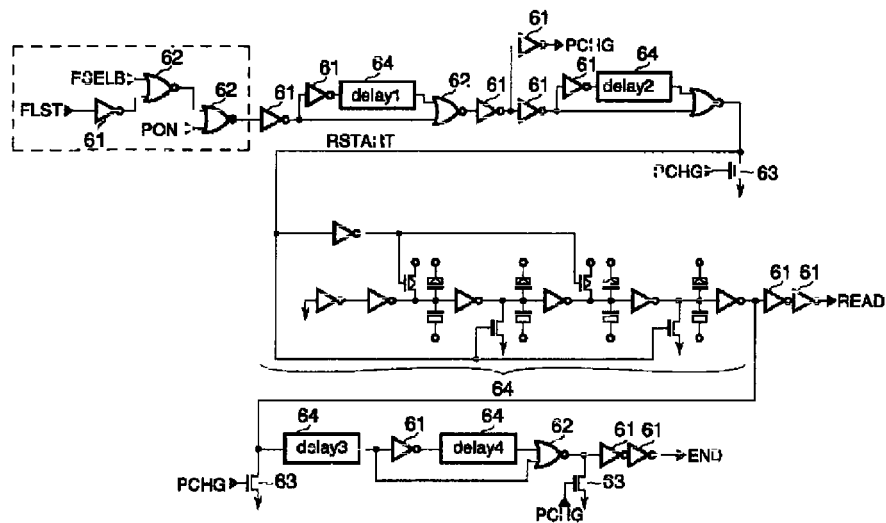
X10	X9	X8	TESTFS	PROTFS	RDFS	TRIMFS	NML	FSELB	
0	0	0	0	0	0	0	1	1	ノーマル
0	1	0	0	0	0	1	0	0	トリック Fuse書き
1	0	0	0	0	1	0	0	0	リブタンク Fuse書き
1	1	0	0	1	0	0	0	0	ブロッカ Fuse書き
1	1	1	1	0	0	0	0	0	Fuse禁止 Fuse書き

(b)

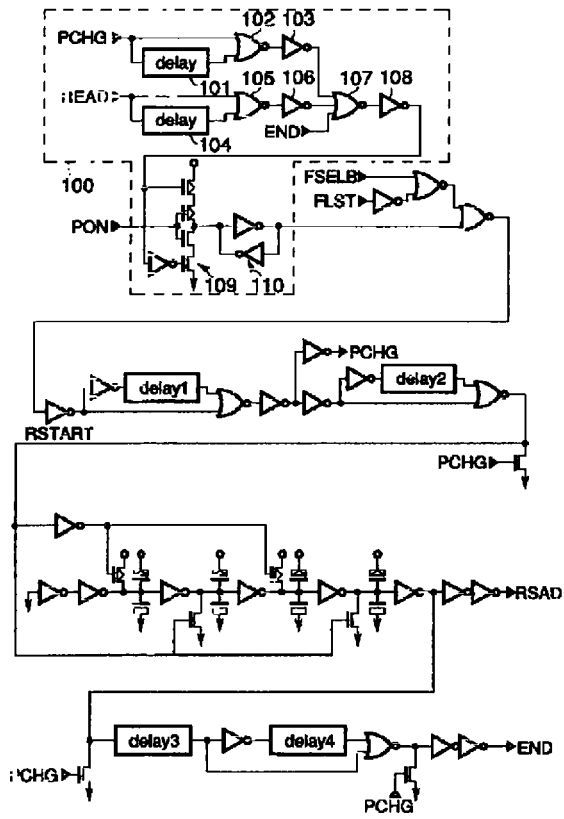
【図9】



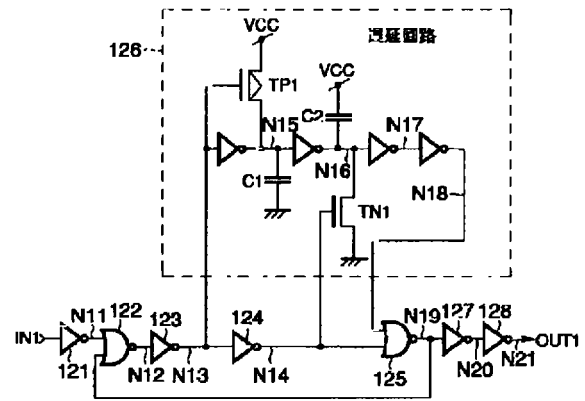
【図6】



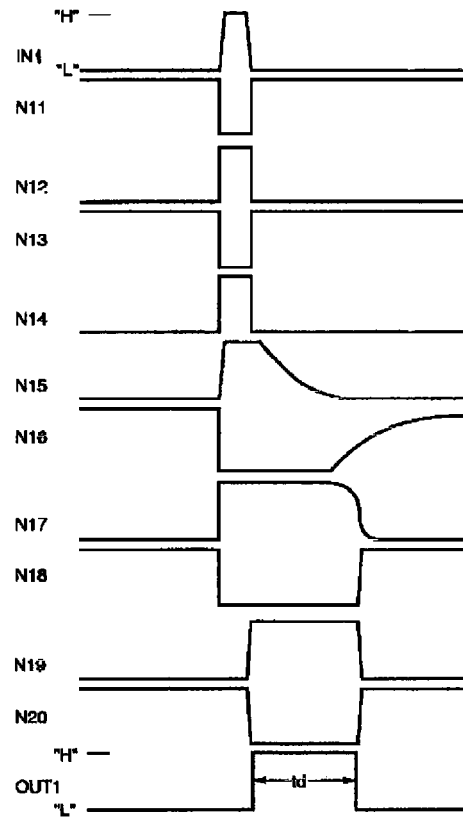
【図10】



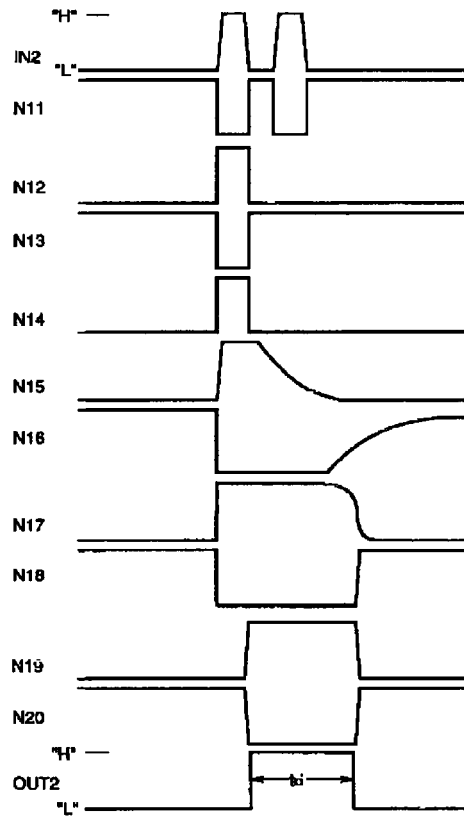
【図11】



【図12】



【図13】



【図14】

